

JC879 U.S. PTO
10/038299
01/04/02



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 15161 호
Application Number PATENT-2001-0015161

출원년월일 : 2001년 03월 23일
Date of Application MAR 23, 2001

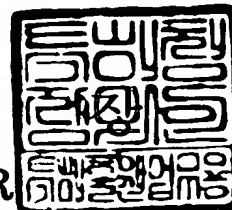
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 08 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0007
【제출일자】 2001.03.23
【발명의 명칭】 프랙셔널 -앤 주파수 합성기용 위상 고정 루프 회로
【발명의 영문명칭】 PHASE LOCKED LOOP CIRCUIT FOR FRACTIONAL-N FREQUENCY SYNTHESIZER

【출원인】

【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3

【대리인】

【성명】 임창현
【대리인코드】 9-1998-000386-5
【포괄위임등록번호】 1999-007368-2

【대리인】

【성명】 권혁수
【대리인코드】 9-1999-000370-4
【포괄위임등록번호】 1999-056971-6

【발명자】

【성명의 국문표기】 김상영
【성명의 영문표기】 KIM,SANG YOUNG
【주민등록번호】 640228-1221419
【우편번호】 480-030
【주소】 경기도 의정부시 장암동 동아아파트 112동 1501호
【국적】 KR

【발명자】

【성명의 국문표기】 전필재
【성명의 영문표기】 JUN,PIL JAE
【주민등록번호】 700510-1041819
【우편번호】 442-371



1020010015161

출력 일자: 2001/8/22

【주소】 경기도 수원시 팔달구 매탄1동 매탄주공4단지아파트 429동 502호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	18 면	18,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】		47,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

여기에 개시된 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로는, 위상 인 방식을 이용하되, 지연 신호의 개수를 8 개로 제한하고, 소수 분주율 데이터에 응답해서 피드백 신호의 4 주기 동안 위상을 축적(phase accumulation)하는 방식을 이용하여 $F/32$ ($F = 0, 1, 2, \dots, 31$)의 소수 분주가 가능하게 된다. 이와 같은 본 발명에 의하면, 32 개의 지연 신호를 이용한 위상 인터플레이션 방식에 비해 기판 잡음이 감소되고, 물리적 에러에 의한 영향을 덜 받는다. 또한, 32 주기동안 위상을 축적하는 위상 축적 방식에서는 프랙셔널 스푸리어스를 최소화하기 위해 별도의 보상 회로가 요구되었으나, 본 발명에서는 4 주기동안 위상을 축적하는 방식을 채택함으로써 프랙셔널 스푸리어스가 감소되어 별도의 보상 회로가 불필요하다.

【대표도】

도 2

【명세서】

【발명의 명칭】

프랙셔널-엔 주파수 합성기용 위상 고정 루프 회로{PHASE LOCKED LOOP
CIRCUIT FOR FRACTIONAL-N FREQUENCY SYNTHESIZER}

【도면의 간단한 설명】

- 도 1은 정수 분주기를 갖는 전형적인 위상 고정 루프를 보여주는 도면;
- 도 2는 본 발명에 따른 위상 고정 루프의 바람직한 실시예를 보여주는
도면;
- 도 3은 도 2에 도시된 전압 제어 발진기의 상세한 구성을 보여주는 도면;
- 도 4는 도 3에 도시된 지연 신호들의 타이밍도;
- 도 5는 도 2에 도시된 분주 회로의 상세한 구성을 보여주는 도면;
- 도 6a 및 도 7은, 주어진 조건에서 도 2의 위상 고정 루프 회로가 동작할 때
, 위상 고정 루프 회로의 각 부분들의 신호들의 타이밍도;
- 도 7a 내지 도 7d는 소수 분주율 데이터에 따라서 변하는 본 발명의 위상
고정 루프 회로의 각 부분들의 타이밍도;
- 도 8은 이진 소수 분주율 데이터에 따른 십진 소수 분주율을 보여주는 표;
- *도면의 주요 부분에 대한 부호의 설명*
- 100 : 위상 고정 루프 회로 110 : 위상-주파수 검출기
- 120 : 차지 펌프 130 : 루프 필터
- 140 : 전압 제어 발진기 141 : 링 오실레이터

142, 143, 145 : 버퍼 144 : 스위치 어레이
150 : 분주 회로 152 : 소수 분주 제어 로직
154 : 정수 분주 로직 210 : 듀얼 모듈러스 프리스케일러
220 : 분주기 230, 310, 320 : 카운터
330 : 디코더 340 : 래치 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 위상 고정 루프(phase locked loop; PLL) 회로에 관한 것으로, 좀 더 구체적으로는 프랙셔널-N 주파수 합성기(fractional-N frequency synthesizer) 등에서 사용하기에 적합한 위상 고정 루프 회로에 관한 것이다.

<19> 도 1은 정수 분주기를 갖는 전형적인 위상 고정 루프를 보여주는 도면이다. 도 1을 참조하면, 위상-주파수 비교기(phase-frequency comparator)(10)는 기준 신호(즉, 입력 신호)(Fin)와 피드백 신호(Ffeed)를 받아들인다. 피드백 신호(Ffeed)는 전압 제어 발진기(voltage controlled oscillator; VCO)(40)의 출력 신호(Fout)가 분주기(frequency divider)(50)에 의해 분주된 신호이다. 위상 비교기(10)는 기준 신호(Fref)와 피드백 신호(Ffeed)의 위상 차를 검출하고 그에 대응하는 펄스 신호들(UP, DN)을 출력한다. 차지 펌프(20)에서는 펄스 신호들(UP, DN)에 따라서 차지 펌프 출력 전류(Icp)가 생성된다. 이 차지 펌프 출력 전류(Icp)는 루프 필터(30)로 흐른다. 루프 필터(30)는 전류(Icp)의 고주파 성분을

제거하고 입력 전류(Icp)에 비례하는 전압(Vctrl)을 출력한다. 전압 제어 발진기(40)는 루프 필터(30)의 출력 전압(Vctrl)에 비례하는 주파수의 신호(Fout)를 출력한다. 전압 제어 발진기(40)의 출력(Fout)은 주파수 분주기(50)에 의해 N 분주되고, 이렇게 분주된 신호(Ffeed)는 위상-주파수 검출기(10)로 피드백된다. 그러므로, 전압 제어 발진기(40)의 출력 신호(Fout)는 다음 수학식 1과 같이 표현될 수 있다.

<20> **【수학식 1】** $F_{out} = N \times F_{in}$

<21> 여기서, 주파수 분주기(50)의 분주율(division ratio) N은 양의 정수이다.

<22> 그러므로, 위상 고정 루프 회로는 입력 신호(Fin)보다 주파수가 N 배 높은 출력 신호(Fout)를 얻을 수 있다. 이러한 이유로, 출력 신호의 주파수는 정수 N 간격으로 변경될 수 있다.

<23> 위와 같은 위상 고정 루프에서, 위상 고정 특성을 향상시키기 위한 방법으로는 기준 신호(Fin)의 주파수를 높이는 것과 분주율 N을 증가시키는 것 등이 있다. 만일 위상 고정 특성을 향상시키기 위해 기준 신호(Fin)의 주파수를 증가시킨다면, 출력 신호(Fout)의 주파수 간격도 증가될 것이다. 통신 장치에서, 출력 신호(Fout)의 주파수 간격의 증가는 사용 가능한 주파수 개수의 감소 즉, 사용 가능한 주파수 대역(usable frequency bands)의 개수 감소를 초래한다.

<24> 기준 신호의 주파수를 낮추면서 출력 신호의 주파수를 유지하기 위해서는 분주율 N을 증가시켜야 한다. 그러나, 높은 분주율은 루프 대역폭이 반송파 주파

수에 근접하도록 함으로써 위상 잡음의 증가를 초래한다. 일반적으로, 위상 잡음은 분주율의 로그 스케일(대략 $20\log N$)로 증가한다.

<25> 위와 같은 정수 분주율 위상 고정 루프 회로의 결함을 해결하기 위해 프랙셔널 N 위상 고정 루프 회로가 제시되었다. 프랙셔널 N 위상 고정 루프 회로는 출력 신호(F_{out})의 주파수 간격이 입력 신호(F_{in})의 주파수보다 좁다.

<26> 예를 들어, 위상 고정 루프에서, 입력 신호 또는 기준 신호가 총 K 번의 분주 회수 중에서 F 번은 분주율 N+1로 분주되고 나머지 K-F 번은 분주율 N으로 분주되는 경우, 전압 제어 발진기로부터 출력되는 신호의 평균 주파수는 다음 수학적 식 2와 같다.

<27> **【수학적 식 2】**
$$F_{out} = \frac{(F \times (N+1)) + ((K-F) \times N)}{K} = N + \frac{F}{K}$$

<28> 즉, 분주율 N 뿐만 아니라 F/K 만큼의 소수 분주가 이루어진다. 출력 신호(F_{out})는 저항(31)과 커패시터(32)로 구성된 루프 필터(30)를 통해 평균 값으로 수렴되며, 결국 소수 분주가 가능하게 된다.

<29> 이와 같은 프랙셔널 N 위상 고정 루프 회로를 구현하는 방식으로는, 보상 회로를 갖는 위상 추적 방식, 시그마 델타 변조기(sigma delta modulator)를 이용하는 방식, 위상 인터폴레이션(phase interpolation)을 이용하는 방식 등이 있다.

<30> 위상 추적 방식의 프랙셔널 N 위상 고정 루프 회로는, 누산기에 의해 위상이 추적되고, 추적된 위상만큼 스푸리어스 잡음(spurious noise) 또는 프랙셔널 잡음이 커지는 문제점이 있었다. 이러한 문제를 해결하기 위하여 시스템의 대역

폭(band width)을 좁게 하였으나, 이 경우에는 프랙셔널 N 주파수 합성기를 사용하는 의미가 없어진다. 그래서, 최근의 주파수 합성기는 스푸리어스 잡음을 보상하기 위한 보상 회로 또는 스푸리어스 제거 회로를 구비하는 추세에 있다. 이와 같이, 보상 회로를 갖는 위상 축적 방식의 프랙셔널 N 주파수 합성기의 일 예는 Kazuaki Oishi 등에 의해 취득된 미국 특허 제5,818,303호, 'FRACTIONAL N-FREQUENCY SYNTHESIZER AND SPURIOUS SIGNAL CANCEL CIRCUIT'에 개시되어 있다. 그러나, 보상 회로를 갖는 위상 축적 방식은 보상 회로가 부가적으로 더 요구되므로 회로 면적이 증가되는 단점이 있다.

<31> 고차(high order) 시그마-델타 변조기에 사용되는 잡음 정형화 기법은 프랙셔널 스푸리어스를 억제한다. 잡음 정형화 기법의 일 예는 B. Miller and R. J. Conley의 'A Multiple Modulator Fractional Divider'에 제시되어 있다(IEEE Transactions on Instrumentation and Measurement, vol. 40, pp. 578-583, June 1991.). 이 잡음 정형화 기법은 위상-주파수 검출기에서 위상 에러를 점차적으로 제거하여, 서로 다른 비율들 사이의 분주율을 빠르게 스위칭함으로써 낮은 주파수 위상 에러를 제거하는 것이다. 그러나, 서로 다른 값을 갖는 분주율을 빠르게 변화시키면, 음극(negative)뿐만 아니라, 양극(positive)에서 위상 에러가 발생된다.

<32> 위상 인터폴레이션을 이용하는 방식은 전압 제어 발진기로부터의 출력 신호를 동일한 지연시간을 갖고서 위상이 서로 다른 복수의 신호들을 만들고, 각 지연 시간을 이용해서 소수 분주시키는 방식이다. 그러나, 이 방식에서는 각 지연 시간들이 정확하게 일치해야 하므로, 정교한 레이아웃 기술이 요구되며, 출력 신

호의 개수가 많아지게 되면 기판 잡음(substrate noise)과 물리적 영향에 의한 잡음이 증가하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<33> 따라서, 본 발명의 목적은 상술한 제반 문제점들을 해결할 수 있는 그리고 향상된 성능의 프랙셔널 N 주파수 합성기용 위상 고정 루프를 제공하는데 있다.

【발명의 구성 및 작용】

<34> 상술한 바와 같은 본 발명의 목적을 달성하고자 하는 본 발명의 특징에 의하면, 프랙셔널 N 주파수 합성기용 위상 동기 루프 회로는: 소정의 주파수 제어 전압에 비례하는 주파수의 출력 신호와, 소수 분주 제어 데이터에 대응하는 시간 만큼 상기 출력 신호에 비해 지연된 클럭 신호를 발생하는 전압 제어 발진기와, 외부로부터 제공되는 정수 분주율 데이터와 미리 설정된 분주율에 의해 상기 전압 제어 발진기로부터 입력되는 지연된 클럭 신호를 분주해서 피드백 신호를 출력하는 정수 분주 로직 회로와, 외부로부터 제공되는 소수 분주율 데이터에 응답해서 상기 소수 분주 제어 데이터를 출력하는 소수 분주 제어 로직 회로와, 입력 신호와 상기 피드백 신호 사이의 위상 차를 검출해서, 이 위상 차에 대응하는 위상 에러 신호를 출력하는 위상 비교기와, 상기 위상 에러 신호에 대응하는 차지 펄프 출력 전류를 생성하는 차지 펄프 회로, 그리고 상기 차지 펄프 출력 전류를 필터링해서 상기 주파수 제어 전압으로 변환하는 루프 필터를 포함한다.

<35> 상기 전압 제어 발진기로부터 출력되는 지연된 클럭 신호는 소수 분주된 클럭 신호이다.

- <36> 이 실시예에 있어서, 상기 전압 제어 발진기는, 상기 주파수 제어 전압에 비례하는 주파수의 출력 신호와, 이 출력 신호에 비해 소정 시간씩 지연된 2^Y (Y 는 양의 정수)개의 지연 신호들을 발생하는 발진기와, 상기 소수 분주 제어 데이터에 응답해서, 상기 2^Y 개의 지연 신호들 가운데 하나를 상기 지연된 클럭 신호로 출력하는 스위칭 회로를 포함한다.
- <37> 바람직한 실시예에 있어서, 상기 지연 신호들 각각의 지연 시간들은 서로 동일하며, 상기 지연 신호들 각각의 지연 시간들의 합은 상기 출력 신호의 주기와 동일하다.
- <38> 바람직한 실시예에 있어서, 상기 2^Y 개의 소수 분주 제어 데이터 비트들은, 임의의 시간에서 2^Y 개의 소수 분주 제어 데이터 비트들 중 어느 하나만이 배타적으로 논리 '1'의 값을 갖는다.
- <39> 이 실시예에 있어서, 상기 스위칭 회로는, 상기 발진기로부터 출력되는 지연 신호들에 각각 대응하는 2^Y 개의 스위치들로 구성되며, 상기 스위치들 각각은, 대응하는 소수 분주 제어 데이터 비트에 의해 제어되어, 상기 발진기로부터 출력되는 지연 신호를 상기 지연된 클럭 신호로 전달한다.
- <40> 바람직한 실시예에 있어서, 상기 소수 분주율 데이터는 X (X 는 양의 정수)비트 데이터이다.
- <41> 바람직한 실시예에 있어서, 상기 소수 분주 제어 로직 회로는, 상기 피드백 신호에 동기되어 카운트 동작을 수행하고, 내부 카운트 값과 상기 소수 분주율 데이터의 상위 $(X-Y)$ 비트를 비교하고, 비교 결과에 따라서 제 2 제어 신호를 출

력하는 제 2 카운터와, 상기 지연된 클럭 신호에 동기되어 카운트 동작을 수행하
 되, 상기 제 2 제어 신호와 상기 소수 분주율 데이터의 하위 Y비트를 더한 값에
 해당하는 횟수만큼 카운트 동작을 수행하고, 카운트 값을 출력하는 제 3 카운터
 와, 상기 제 3 카운터의 카운트 값을 디코딩해서 디코딩 데이터를 출력하는 디코
 더, 그리고 상기 지연된 클럭 신호에 동기되어, 상기 디코딩 데이터를 상기 소수
 분주 제어 데이터로 출력하는 래치 회로를 포함한다.

<42> 이 실시예에 있어서, 상기 제 2 카운터는, 상기 내부 카운트 값이 상기
 소수 분주율 데이터의 상위 (X-Y)비트보다 작으면 논리 '1'의 제 2 제어 신호를
 출력하고, 상기 내부 카운트 값이 상기 소수 분주율 데이터의 상위 (X-Y)비트와
 같거나 크면 논리 '0'의 제 2 제어 신호를 출력한다.

<43> 바람직한 실시예에 있어서, 상기 정수 분주 로직 회로는, 제 1 제어 신호에
 응답해서 미리 설정된 복수 개의 분주율 가운데 하나를 선택하고, 선택된 분주율
 로 상기 소수 분주된 클럭 신호를 분주해서 제 1 분주 신호를 출력하는 듀얼 모
 둘러스 프리스케일러와, 상기 정수 분주율 데이터에 의해 상기 제 1 분주 신호를
 분주해서 상기 피드백 신호를 출력하는 분주기, 그리고 상기 피드백 신호에 동
 기되어 카운트 동작을 수행하고, 내부 카운트 값과 외부로부터 제공되는 임계값
 을 비교하고, 비교 결과에 따라서 상기 제 1 제어 신호를 출력하는 제 1 카운터
 를 포함한다.

<44> 이 실시예에서, 상기 제 1 카운터는, 상기 내부 카운트 값이 외부로부터 제
 공되는 임계값보다 작으면 논리 '1'의 제 1 제어 신호를 출력하고, 상기 내부 카

운트 값이 외부로부터 제공되는 임계값과 같거나 크면 논리 '0'의 제 1 제어 신호를 출력한다.

<45> 바람직한 실시예에서, 상기 제 1 카운터는 스왈로우 카운터(swallow counter)이다.

<46> (실시예)

<47> 이하 본 발명에 따른 실시예를 첨부된 도 2 내지 도 8을 참조하여 상세히 설명한다.

<48> 도 2는 본 발명에 따른 위상 고정 루프의 바람직한 실시예를 보여주는 도면이다. 도 2를 참조하면, 위상-주파수 비교기(110)는 입력 또는 기준 신호(Fref)와 피드백 신호(Ffeed)의 위상 차(phase error)를 검출해서, 이 위상 차에 대응하는 펄스 신호들(UP, DN)을 출력한다. 차지 펌프(120)는 상기 펄스 신호들(UP, DN)에 응답해서, 차지 펌프 출력 전류(Icp)를 생성한다. 이 차지 펌프 출력 전류(Icp)는 루프 필터(130)에 의해서 필터링 되며, 거기에서 전압(Vctrl)으로 변환된다. 전압 제어 발진기(140)는 루프 필터(130)의 출력 전압(Vctrl)에 의해 제어되어서 전압(Vctrl)에 비례하는 주파수의 출력 신호(Fout)를 출력한다. 특히, 본 발명의 바람직한 실시예에 따른 전압 제어 발진기(140)는 분주 회로(150)로부터의 소수 분주 제어 데이터(PS<7:0>) 값에 대응하는 시간만큼 출력 신호(Fout)에 비해 지연된(즉, 소수 분주된) 클럭 신호(MCLK)를 출력한다. 소수 분주된 클럭 신호(MCLK)는 분주 회로(150)에 의해 정수 N 분주된 후, 위상-주파수 검출기(110)로 피드백 된다.

<49> 도 3은 도 2에 도시된 전압 제어 발진기(140)의 상세한 구성을 보여주고 있다. 도 3을 참조하면, 링 오실레이터(141)는 루프 필터(130)로부터의 전압 제어 신호(Vctrl)에 비례하는 주파수의 출력 신호(Fout)와, 이 출력 신호(Fout)에 비해 소정 시간씩 지연된 지연 신호들(D0-D7)을 발생한다. 도 4는 지연 신호들(D0-D7)의 타이밍도이다. 도 4를 참조하면, 지연 신호들(D_i ; $i = 0, 1, \dots, 7$)은 기준 신호인 출력 신호(Fout)에 대해 각각 ($\angle T \cdot (i+1)$; $i = 0, 1, \dots, 7$)의 지연 시간을 갖는다. 출력 신호(Fout)의 주기를 T라 할 때, 지연 신호들(D0-D7) 간의 지연 시간($\angle T$)은 출력 신호(Fout)의 주기(T)를 8로 나눈 값 즉, ($T/8$)이다.

<50> 출력 신호(Fout)를 소정 시간씩 지연시킨 8 개의 지연 신호들(D0-D7)에 의한 소수 분주의 성능은 매우 우수하며, 각 지연 신호들 간의 지연 오차가 매우 작다.

<51> 본 발명의 위상 동기 루프 회로는, 도 3에 도시된 바와 같이, 위상 인터폴레이션(phase interpolation) 방식을 이용하되, 단지 8 개의 지연 신호들만을 사용한다. 그럼에도 불구하고, 본 발명의 위상 동기 루프 회로에 따르면, $F/32$ ($F = 0, 1, 2, \dots, 31$)의 소수 분주가 가능한데, 이에 대해서는 추후 상세히 설명한다.

<52> 다시 도 3을 참조하면, 링 오실레이터(141)로부터 출력되는 지연 신호들(D0-D7)은 버퍼(143)를 통해 스위치 어레이(141) 내의 대응하는 스위치(SW0-SW7)로 전달된다. 8 개의 스위치들(SW0-SW7)은 8 비트 소수 분주 제어 데이터($PS\langle 7:0 \rangle$)의 비트들에 의해 각각 제어된다. 임의의 시간에서 8 개의 소수 분주 제어 데이터 비트들($PS\langle 7:0 \rangle$) 중 어느 하나 만이 배타적으로 논리 '1'(또는 '0') 값을

찾는다. 그러므로, 8 개의 지연 신호들(D0-D7) 가운데 소수 분주 제어 데이터(PS<7:0>)의 값에 대응하는 어느 하나 만이 출력 버퍼(145)를 통해 소수 분주된 클럭 신호(MCLK)로서 출력된다.

<53> 도 5는 도 2에 도시된 분주 회로(150)의 구성을 상세히 보여주는 도면이다. 도 5를 참조하면, 분주 회로(150)는 정수 분주율 데이터(P<P':0>)와 카운터 임계값(Q<Q':0>)에 응답하여, 전압 제어 발진기(140)로부터 제공되는 소수 분주된 클럭 신호(MCLK)를 정수 분주해서 피드백 신호(Ffeed)를 생성하는 정수 분주 로직(154)과, 소수 분주율 데이터(FRAC<4:0>)에 응답해서, 소수 분주 제어 데이터(PS<7:0>)를 출력하는 소수 분주 제어 로직(152)으로 구성된다.

<54> 정수 분주 로직(154)은 듀얼 모듈러스 프리스케일러(dual modulus prescaler)(210), 분주기(220), 그리고 스왈로우 카운터(swallow counter)(230)로 구성된다.

<55> 듀얼 모듈러스 프리스케일러(210)는 스왈로우 카운터(230)로부터 제공되는 제어 신호(C1)에 응답하여 K와 (K+1) 가운데 하나에 의해 소수 분주된 클럭 신호(MCLK)를 스케일 다운(scale down)해서 분주된 클럭 신호(CLK_MDL)를 출력한다(단, K는 양의 정수). 스왈로우 카운터(230)는 분주된 클럭 신호(CLK_MDL)에 동기되어 카운트 동작을 수행하되, 내부 카운트 값(CNT1)이 임계값(Q<Q':1>)보다 작으면 논리 '1'의 제어 신호를 출력하고, 내부 카운트 값(CNT1)이 임계값(Q<Q':1>)과 같거나 크면 논리 '0'의 제어 신호를 출력한다. 그러므로, 듀얼 모듈러스 프리스케일러(210)는 스왈로우 카운터(230)로부터의 제어 신호(C1)가 '1'인 경우에는 소수 분주된 클럭 신호(MCLK)를 K+1의 분주율로 분주하고, 제

어 신호(C1)가 '0'인 경우에는 소수 분주된 클럭 신호(MCLK)를 K의 분주율로 분주한다.

<56> 분주기(220)는 외부로부터 입력되는 정수 분주율($P < P' : 0 >$)로 분주된 클럭 신호(CLK_MDL)를 분주해서 피드백 신호(Ffeed)를 출력하며, 이 피드백 신호(Ffeed)에 의해 카운터(230)가 리셋된다.

<57> 이상과 같은 정수 분주 로직(154)의 총 정수 분주율은 듀얼 모듈러스 프리스케일러(210)의 분주율(K), 정수 분주율 데이터($P < P' : 0 >$), 그리고 카운터 임계값($Q < Q' : 0 >$)에 의해 결정된다. 여기서는, 정수 분주 로직(154)의 총 정수 분주율을 N이라 지칭한다.

<58> 도 6a 및 6b는, 듀얼 모듈러스 프리스케일러(210)의 분주율($K = 1$), 정수 분주율 데이터($P < P' : 0 > = 10$), 그리고 카운터 임계값($Q < Q' : 0 > = 4$)인 경우, 위상 고정 루프 회로의 각 부분들의 신호들의 타이밍을 보여주고 있다. 도 6으로부터, 정수 분주 로직(154)의 총 분주율(N)이 14임을 볼 수 있다.

<59> 다시 도 5를 참조하면, 소수 분주 제어 로직(152)은 카운터들(310, 320)과 디코더(330), 그리고 래치 회로(340)로 구성된다.

<60> 카운터(310)는 소수 분주율 데이터($FRAC < 4 : 0 >$)의 하위 2 비트($FRAC < 1 : 0 >$)를 임계값으로 하며, 피드백 신호(Ffeed)에 동기되어 카운트하는 2 비트 모듈러 카운터(modulo counter)로 구성된다. 모듈로 카운터는 스왈로우 카운터(230)와 유사하게 동작한다. 즉, 카운터(310)의 카운트 값(CNT2)은 피드백 신호(Ffeed)에 동기되어 0, 1, 2, 3(즉, 이진수 '00', '01', '10', '11') 순서로 변하고, 카운

터(310)는 내부 카운트 값(CNT2)과 임계값 사이의 관계에 따라 제어 신호(C2)를 출력한다. 만일 내부 카운트 값(CNT2)이 임계값(FRAC<1:0>)보다 작으면 제어 신호(C2)는 논리 '1'로 되고, 카운트 값(CNT2)이 임계값(FRAC<1:0>)보다 크거나 같으면 제어 신호(C2)는 논리 '0'으로 된다.

<61> 카운터(320)는 3 비트 이진 카운터로서, 듀얼 모듈러스 프리스케일러(210)로부터의 출력인 클럭 신호(CLK_MDL)에 동기되어 카운트하고, 3 비트 이진 데이터(CNT3<2:0>)를 출력한다. 카운터(320)는 소수 분주율 데이터(FRAC<4:0>)의 하위 2 비트(FRAC<1:0>)를 제외한 나머지 상위 3 비트(FRAC<4:2>)와 카운터(310)로부터의 제어 신호(C2)를 더한 값에 해당하는 횟수만큼 카운트 동작을 수행한다. 상기 카운터(320)는 자신의 출력 카운트 값이 이진수 '111'이 되면 다음 클럭에서 이진수 '000'으로 자동으로 리셋된다. 이 실시예에서는, 상기 카운터(320)가 듀얼 모듈러스 프리스케일러(210)로부터의 출력인 클럭 신호(CLK_MDL)에 동기되어 카운트하는 것으로 하였으나, 상기 소수 분주된 클럭 신호(MCLK)에 동기되어 동작하도록 설계하여도 무방하다. 단, 이 경우에는 상기 카운터(320)가 듀얼 모듈러스 프리스케일러(210)로부터의 출력인 클럭 신호(CLK_MDL)에 동기되어 카운트할 때와 다르게 분주기(220)의 분주율(P<P':0>)과 카운터(230)의 임계값(Q<Q':0>)을 설정해야 한다.

<62> 디코더(330)는 카운터(320)로부터 출력되는 3 비트 카운트 값(CNT3<2:0>)을 디코딩해서 8 비트 디코딩 신호(DEC<7:0>)를 출력한다. 디코더(330)의 디코딩 동작은 분야에 대한 통상의 지식을 가진 자들에게 잘 알려져 있는 바와 같이, 예컨대,

카운트 값(CNT3<2:0>)이 0(즉, 이진수 '000')이면 디코딩 신호(DEC<7:0>)는 '00000001'이 되고, 카운트 값(CNT3<2:0>)이 1(즉, 이진수 '001')이면 디코딩 신호(DEC<7:0>)는 '00000010'이 된다.

<63> 래치 회로(340)는 소수 분주된 클럭 신호(MCLK)에 동기되어 디코딩 신호(DEC<7:0>)를 소수 분주 제어 데이터(PS<7:0>)로 출력한다. 소수 분주 제어 데이터(PS<7:0>)는 스위치 어레이(144)를 구성하는 8 개의 스위치들(SW0-SW7)(도 3 참조) 가운데 하나를 온시키기 위한 신호로서 제공된다. 도 5에는 도시되지는 않았으나, 래치 회로(340)는 디코딩 신호(DEC<7:0>)의 비트들에 각각 대응하는 8 개의 D-플립플롭들로 구성된다. D-플립플롭들 각각은 소수 분주된 클럭 신호(MCLK)에 동기되어 디코딩 신호(DEC<7:0>)의 대응하는 비트를 래치한다.

<64> 다음에는 도 5 및 도 6을 참조하여 소수 분주 제어 로직(152)의 동작에 대해 상세히 설명한다.

<65> 소수 분주율 데이터(FRAC<4:0>)가 예를 들어 이진수 '10101'이라면, 카운터(310)는 소수 분주율 데이터(FRAC<4:0>)의 하위 2 비트(FRAC<1:0>) '01'를 임계값으로 한다. 그러므로, 카운터(310)는 카운트 값(CNT2)이 1(즉, 이진수 '01')보다 작을 때 논리 '1'의 제어 신호(C2)를 출력하고, 카운트 값(CNT2)이 1보다 크거나 같으면 논리 '0'의 제어 신호(C2)를 출력한다. 따라서, 피드백 신호(Ffeed)의 첫번째 주기(T0) 동안에 제어 신호(C2)는 논리 '1'이 되고, 그 이후에는 논리 '0'이 된다.

- <66> 카운터(320)는 소수 분주율 데이터(FRAC<4:0>)의 나머지 상위 3 비트(FRAC<4:2>) '101'과 카운터(310)로부터의 제어 신호(C2)를 더한 값만큼 카운트 동작을 수행한다. 피드백 신호(Ffeed)의 첫번째 주기(T0) 동안에는 제어 신호(C2)가 논리 '1'이므로, 카운터(320)는 총 6 회 카운트 동작을 수행하게 된다. 만일, 카운터(320)의 이전 카운트 최종 값이 7(즉, 이진수 '111')이었다면, 피드백 신호(Ffeed)의 첫번째 주기(T1) 동안 총 6 회의 카운트 동작을 수행한 후 최종 카운트 값(CNT3<2:0>)은 이진수 '101'이 된다. 이 값은 피드백 신호(Ffeed)가 하이 레벨(즉, 논리 '1')이 될 때까지 유지된다. 피드백 신호(Ffeed)의 두번째 주기(T1) 동안에는 제어 신호(C2)가 논리 '0'이므로, 카운터(320)는 총 5 회 카운트 동작을 수행해서 최종 카운트 값(CNT3<2:0>)은 이진수 '010'이 된다.
- <67> 래치 회로(340)는 소수 분주된 클럭 신호(MCLK)에 동기되어서, 디코더(330)를 통해 디코딩된 카운터(320)의 카운트 값(CNT3<2:0>)을 소수 분주 제어 신호(PS<7:0>)로 출력한다. 그러므로, 스위치 어레이(144) 내의 스위치들(SW0-SW7)은 소수 분주된 클럭 신호(MCLK)에 동기되어 카운터(320)의 카운트 값(CNT3<2:0>)에 따라 순차적으로 스위치 온된다.
- <68> 피드백 신호(Ffeed)의 첫번째 주기(T0) 동안에, 카운터(320)의 카운트 값(CNT3<2:0>)은 '000', '001', '010', '011', '100', 그리고 '101'로 순차적으로 변하므로, 스위치들(SW0, SW1, SW2, SW3, SW4, SW5)이 순차적으로 하나씩 스위치 온 된다. 그 결과, 모두 6 번의 위상 쉬프트(phase shift)가 이루어지고, 이는 총 $6 \times T$ 의 지연 시간을 가지므로, 소수 분주된 클럭 신호(MCLK)의 소수 분주율(M)은 $(6 \times T)/8$ 가 된다.

<69> 피드백 신호(Ffeed)의 두번째 주기(T1) 동안에, 카운터(320)의 카운트 값 (CNT3<2:0>)은 '110', '111', '000', '001', 그리고 '010'으로 순차적으로 변하므로, 스위치들(SW6, SW7, SW0, SW1, SW2)이 순차적으로 하나씩 스위치 온 된다. 그 결과, 모두 5 번의 위상 쉬프트가 이루어지고, 이는 총 $5 \times \angle T$ 의 지연 시간을 가지므로, 소수 분주된 클럭 신호(MCLK)의 소수 분주율(M)은 $(5 \times T)/8$ 가 된다.

<70> 피드백 신호(Ffeed)의 세번째 주기(T2) 동안에, 카운터(320)의 카운트 값 (CNT3<2:0>)은 '011', '100', '101', '110', 그리고 '111'으로 순차적으로 변하므로, 스위치들(SW3, SW4, SW5, SW6, SW7)이 순차적으로 하나씩 스위치 온 된다. 그 결과, 모두 5 번의 위상 쉬프트가 이루어지고, 이는 총 $5 \times \angle T$ 의 지연 시간을 가지므로, 소수 분주된 클럭 신호(MCLK)의 소수 분주율(M)은 $(5 \times T)/8$ 가 된다.

<71> 피드백 신호(Ffeed)의 네번째 주기(T3) 동안에, 카운터(320)의 카운트 값 (CNT3<2:0>)은 '000', '001', '010', '011', 그리고 '100'으로 순차적으로 변하므로, 스위치들(SW0, SW1, SW2, SW3, SW4)이 순차적으로 하나씩 스위치 온 된다. 그 결과, 모두 5 번의 위상 쉬프트가 이루어지고, 이는 총 $5 \times \angle T$ 의 지연 시간을 가지므로, 소수 분주된 클럭 신호(MCLK)의 소수 분주율(M)은 $(5 \times T)/8$ 가 된다.

<72> 피드백 신호(Ffeed)의 첫번째 주기(T0)부터 네번째 주기(T3)까지 모두 4주기가 계속되는 동안 루프 필터(30)에 의해 지연들은 평균으로 나타나게 된다.

<73>

$$M = \frac{\frac{6 \times T}{8} + \frac{5 \times T}{8} + \frac{5 \times T}{8} + \frac{5 \times T}{8}}{4} = \frac{21 \times T}{32}$$

【수학식 3】

<74> 즉, 이 실시예에서 위상 고정 루프 회로(100)의 총 소수 분주율(M)은 $(21 \times T)/32$ 가 된다. 정수 분주 로직의 정수 분주율(N)은 14이므로, 위상 고정 루프 회로(100)의 총 분주율은 $N+M$ 즉, $14+(21 \times T)/32$ 가 된다. 따라서, 기준 신호(F_{ref})와 출력 신호(F_{out})의 주파수 관계는 다음 수학식 4와 같다.

<75>
$$F_{out} = \left(14 + \frac{21 \times T}{32} \right) \times F_{ref}$$
 【수학식 4】

<76> 도 7a 내지 도 7d는 소수 분주율 데이터에 따라서 변하는 본 발명의 위상 고정 루프 회로의 각 부분들의 신호들의 타이밍을 보여주고 있다. 도 7a 내지 도 7d에서, 카운터(320)의 카운트 값($CNT3<2:0>$)은 십진수로 나타냈으며, 괄호 안의 숫자는 카운터(320)의 카운팅 동작 횟수를 나타낸다.

<77> 도 7a는 소수 분주율 데이터($FRAC<4:0>$)의 상위 3 비트($FRAC<4:2>$)가 5(즉, 이진수 '101')이고, 하위 2 비트($FRAC<1:0>$)가 0(즉, 이진수 '00')인 경우를 보여주고 있다. 소수 분주율 데이터의 하위 2 비트($FRAC<1:0>$)가 0이므로, 피드백 신호(F_{feed})의 전 구간에서 카운터(310)로부터 출력되는 제어 신호($C1$)는 논리 '0'이 된다. 그러므로, 피드백 신호(F_{feed})의 첫번째 주기($T0$)부터 네번째 주기($T3$)까지 카운터(320)는 각각 5 회씩 카운트 동작을 수행하고, 각 주기의 최종 카운트 값($CNT3<2:0>$)은 각각 4, 1, 6, 그리고 3이 된다. 이 경우, 본 발명의 위상 고정 루프 회로(100)의 소수 분주율(M)은 다음 수학식 5와 같다.

<78>
$$M = \frac{\frac{5 \times T}{8} + \frac{5 \times T}{8} + \frac{5 \times T}{8} + \frac{5 \times T}{8}}{4} = \frac{20 \times T}{32}$$
 【수학식 5】

<79> 도 7b는 소수 분주율 데이터(FRAC<4:0>)의 상위 3 비트(FRAC<4:2>)가 5(즉, 이진수 '101')이고, 하위 2 비트(FRAC<1:0>)가 1(즉, 이진수 '01')인 경우를 보여주고 있다. 소수 분주율 데이터의 하위 2 비트(FRAC<1:0>)가 0이므로, 피드백 신호(Ffeed)의 첫번째 주기(T0)동안, 카운터(310)로부터 출력되는 제어 신호(C1)는 논리 '1'이 되고, 피드백 신호(Ffeed)의 두번째 주기(T1)부터 네번째 주기(T3)동안, 카운터(310)로부터 출력되는 제어 신호(C1)는 논리 '0'이 된다. 그러므로, 피드백 신호(Ffeed)의 첫번째 주기(T0)부터 네번째 주기(T3)까지 카운터(320)는 각각 6, 5, 5, 그리고 5 회의 카운트 동작들을 연속해서 수행하고, 각 주기의 최종 카운트 값(CNT3<2:0>)은 각각 5, 2, 7, 그리고 4가 된다. 이 경우, 본 발명의 위상 고정 루프 회로(100)의 소수 분주율(M)은 다음 수학식 6과 같다.

<80>

$$M = \frac{\frac{6 \times T}{8} + \frac{5 \times T}{8} + \frac{5 \times T}{8} + \frac{5 \times T}{8}}{4} = \frac{21 \times T}{32}$$

【수학식 6】

<81> 도 7c는 소수 분주율 데이터(FRAC<4:0>)의 상위 3 비트(FRAC<4:2>)가 5(즉, 이진수 '101')이고, 하위 2 비트(FRAC<1:0>)가 2(즉, 이진수 '10')인 경우를 보여주고 있다. 소수 분주율 데이터의 하위 2 비트(FRAC<1:0>)가 1이므로, 피드백 신호(Ffeed)의 첫번째 주기(T0)와 두번째 주기(T1)동안, 카운터(310)로부터 출력되는 제어 신호(C1)는 논리 '1'이 되고, 피드백 신호(Ffeed)의 세번째 주기(T2)와 네번째 주기(T3)동안, 카운터(310)로부터 출력되는 제어 신호(C1)는 논리 '0'이 된다. 그러므로, 피드백 신호(Ffeed)의 첫번째 주기(T0)부터 네번째 주기(T3)까지 카운터(320)는 각각 6, 6, 5, 그리고 5회의 카운트 동작들을 수행하고,

각 주기의 최종 카운트 값(CNT3<2:0>)은 각각 5, 3, 0, 그리고 5가 된다. 이 경우, 본 발명의 위상 고정 루프 회로(100)의 소수 분주율(M)은 다음 수학식 7과 같다.

<82>

$$M = \frac{\frac{6 \times T}{8} + \frac{6 \times T}{8} + \frac{5 \times T}{8} + \frac{5 \times T}{8}}{4} = \frac{22 \times T}{32}$$

【수학식 7】

<83> 도 7d는 소수 분주율 데이터(FRAC<4:0>)의 상위 3 비트(FRAC<4:2>)가 5(즉, 이진수 '101')이고, 하위 2 비트(FRAC<1:0>)가 3(즉, 이진수 '11')인 경우를 보여주고 있다. 소수 분주율 데이터의 하위 2 비트(FRAC<1:0>)가 3이므로, 피드백 신호(Ffeed)의 첫번째 주기(T0)부터 세번째 주기(T2)동안, 카운터(310)로부터 출력되는 제어 신호(C1)는 논리 '1'이 되고, 피드백 신호(Ffeed)의 네번째 주기(T3)동안, 카운터(310)로부터 출력되는 제어 신호(C1)는 논리 '0'이 된다. 그러므로, 피드백 신호(Ffeed)의 첫번째 주기(T0)부터 네번째 주기(T3)까지 카운터(320)는 각각 6, 6, 6, 그리고 5회의 카운트 동작들을 수행하고, 각 주기의 최종 카운트 값(CNT3<2:0>)은 각각 5, 3, 1, 그리고 6이 된다. 이 경우, 본 발명의 위상 고정 루프 회로(100)의 소수 분주율(M)은 다음 수학식 8과 같다.

<84>

$$M = \frac{\frac{6 \times T}{8} + \frac{6 \times T}{8} + \frac{6 \times T}{8} + \frac{5 \times T}{8}}{4} = \frac{23 \times T}{32}$$

【수학식 8】

<85> 도 8은 이진 소수 분주율 데이터에 따른 십진 소수 분주율을 보여주는 표이다. 표에서 알 수 있는 바와 같이, 5비트 이진 소수 분주율 데이터(FRAC<4:0>)는 32 개의 십진 소수 분주율들(즉, 0부터 31/32까지)에 각각 대응한다.

<86> 이 실시예의 위상 고정 루프 회로에서, 기준 신호(F_{ref})의 주파수가 8MHz이고, 정수 분주비(N)는 129, 그리고 소수 분주비(M)가 11/32인 경우, 이론상 출력 신호(F_{out})의 주파수는 1.03475GHz이 예측된다. 바람직한 실시예에 따른 위상 고정 루프 회로를 실제로 동작시킨 결과, 출력 신호의 평균 주파수는 1.0347GHz였고, 타이밍 지터(timing jitter T_{pkpk})는 5pS, 그리고 전체 락 타임(lock time)은 10uS 이내이었다.

<87> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<88> 이상과 같은 본 발명은 위상 인터폴레이션 방식을 이용하되, 지연 신호의 개수를 8 개로 제한하고, 소수 분주율 데이터에 응답해서 피드백 신호의 4 주기 동안 위상을 축적(phase accumulation)하는 방식을 이용하여 $F/32$ ($F = 0, 1, 2, \dots, 31$)의 소수 분주가 가능하게 된다. 이와 같은 본 발명에 의하면, 32 개의 지연 신호를 이용한 위상 인터폴레이션 방식에 비해 기판 잡음이 감소되고, 물리적 에러에 의한 영향을 덜 받는다. 또한, 32 주기동안 위상을 축적하는 위상 축적 방식에서는 프랙셔널 스푸리어스를 최소화하기 위해 별도의 보상 회로가 요구되었으나, 본 발명에서는 4 주기동안 위상을 축적하는 방식을 채택함으로써 프랙셔널 스푸리어스가 감소되어 별도의 보상 회로가 불필요하다.

【특허청구범위】**【청구항 1】**

소정의 주파수 제어 전압에 비례하는 주파수의 출력 신호와, 소수 분주 제어 데이터에 대응하는 시간만큼 상기 출력 신호에 비해 지연된 클럭 신호를 발생하는 전압 제어 발진기와;

외부로부터 제공되는 정수 분주율 데이터와 미리 설정된 분주율에 의해 상기 전압 제어 발진기로부터 입력되는 지연된 클럭 신호를 분주해서 피드백 신호를 출력하는 정수 분주 로직 회로와;

외부로부터 제공되는 소수 분주율 데이터에 응답해서 상기 소수 분주 제어 데이터를 출력하는 소수 분주 제어 로직 회로와;

입력 신호와 상기 피드백 신호 사이의 위상 차를 검출해서, 이 위상 차에 대응하는 위상 에러 신호를 출력하는 위상 비교기와;

상기 위상 에러 신호에 대응하는 차지 펄프 출력 전류를 생성하는 차지 펄프 회로; 그리고

상기 차지 펄프 출력 전류를 필터링해서 상기 주파수 제어 전압으로 변환하는 루프 필터를 포함하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 2】

제 1 항에 있어서,

상기 전압 제어 발진기로부터 출력되는 지연된 클럭 신호는 소수 분주된 클럭 신호인 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 3】

제 2 항에 있어서,

상기 전압 제어 발진기는,

상기 주파수 제어 전압에 비례하는 주파수의 출력 신호와, 이 출력 신호에 비해 소정 시간씩 지연된 2^Y (Y는 양의 정수)개의 지연 신호들을 발생하는 발진기와;

상기 소수 분주 제어 데이터에 응답해서, 상기 2^Y 개의 지연 신호들 가운데 하나를 상기 지연된 클럭 신호로 출력하는 스위칭 회로를 포함하는 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 4】

제 3 항에 있어서,

상기 지연 신호들 각각의 지연 시간들은 서로 동일하며, 상기 지연 신호들 각각의 지연 시간들의 합은 상기 출력 신호의 주기와 동일한 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 5】

제 3 항에 있어서,

상기 2^Y 개의 소수 분주 제어 데이터 비트들은,

임의의 시간에서 2^Y 개의 소수 분주 제어 데이터 비트들 중 어느 하나만이 배타적으로 논리 '1'의 값을 갖는 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 6】

제 5 항에 있어서,

상기 스위칭 회로는,

상기 발진기로부터 출력되는 지연 신호들에 각각 대응하는 2^Y 개의 스위치들로 구성되되;

상기 스위치들 각각은, 대응하는 소수 분주 제어 데이터 비트에 의해 제어되어, 상기 발진기로부터 출력되는 지연 신호를 상기 지연된 클럭 신호로 전달하는 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 7】

제 3 항에 있어서,

상기 소수 분주율 데이터는 X (X 는 양의 정수)비트 데이터인 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 8】

제 7 항에 있어서,

상기 소수 분주 제어 로직 회로는,

상기 피드백 신호에 동기되어 카운트 동작을 수행하고, 내부 카운트 값과 상기 소수 분주율 데이터의 상위 (X-Y)비트를 비교하고, 비교 결과에 따라서 제 2 제어 신호를 출력하는 제 2 카운터와;

상기 지연된 클럭 신호에 동기되어 카운트 동작을 수행하되, 상기 제 2 제어 신호와 상기 소수 분주율 데이터의 하위 Y비트를 더한 값에 해당하는 횟수만큼 카운트 동작을 수행하고, 카운트 값을 출력하는 제 3 카운터와;

상기 제 3 카운터의 카운트 값을 디코딩해서 디코딩 데이터를 출력하는 디코더; 그리고

상기 지연된 클럭 신호에 동기되어, 상기 디코딩 데이터를 상기 소수 분주 제어 데이터로 출력하는 래치 회로를 포함하는 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 9】

제 7 항에 있어서,

상기 제 2 카운터는,

상기 내부 카운트 값이 상기 소수 분주율 데이터의 상위 (X-Y)비트보다 작으면 논리 '1'의 제 2 제어 신호를 출력하고, 상기 내부 카운트 값이 상기 소수 분주율 데이터의 상위 (X-Y)비트와 같거나 크면 논리 '0'의 제 2 제어 신호를 출력하는 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 10】

제 2 항에 있어서,

상기 정수 분주 로직 회로는,

제 1 제어 신호에 응답해서 미리 설정된 복수 개의 분주율 가운데 하나를 선택하고, 선택된 분주율로 상기 소수 분주된 클럭 신호를 분주해서 제 1 분주 신호를 출력하는 듀얼 모듈러스 프리스케일러와;

상기 정수 분주율 데이터에 의해 상기 제 1 분주 신호를 분주해서 상기 피드백 신호를 출력하는 분주기; 그리고

상기 피드백 신호에 동기되어 카운트 동작을 수행하고, 내부 카운트 값과 외부로부터 제공되는 임계값을 비교하고, 비교 결과에 따라서 상기 제 1 제어 신호를 출력하는 제 1 카운터를 포함하는 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 11】

제 10 항에 있어서,

상기 제 1 카운터는,

상기 내부 카운트 값이 외부로부터 제공되는 임계값보다 작으면 논리 '1'의 제 1 제어 신호를 출력하고, 상기 내부 카운트 값이 외부로부터 제공되는 임계값과 같거나 크면 논리 '0'의 제 1 제어 신호를 출력하는 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 12】

제 11 항에 있어서,

상기 제 1 카운터는 스왈로우 카운터(swallow counter)인 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 13】

제 7 항 또는 제 10 항에 있어서,

상기 소수 분주 제어 로직 회로는,

상기 피드백 신호에 동기되어 카운트 동작을 수행하고, 내부 카운트 값과 상기 소수 분주율 데이터의 상위 (X-Y)비트를 비교하고, 비교 결과에 따라서 제 2 제어 신호를 출력하는 제 2 카운터와;

상기 제 1 분주 신호에 동기되어 카운트 동작을 수행하되, 상기 제 2 제어 신호와 상기 소수 분주율 데이터의 하위 Y비트를 더한 값에 해당하는 횟수만큼 카운트 동작을 수행하고, 카운트 값을 출력하는 제 3 카운터와;

상기 제 3 카운터의 카운트 값을 디코딩해서 디코딩 데이터를 출력하는 디코더; 그리고

상기 지연된 클럭 신호에 동기되어, 상기 디코딩 데이터를 상기 소수 분주 제어 데이터로 출력하는 래치 회로를 포함하는 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【청구항 14】

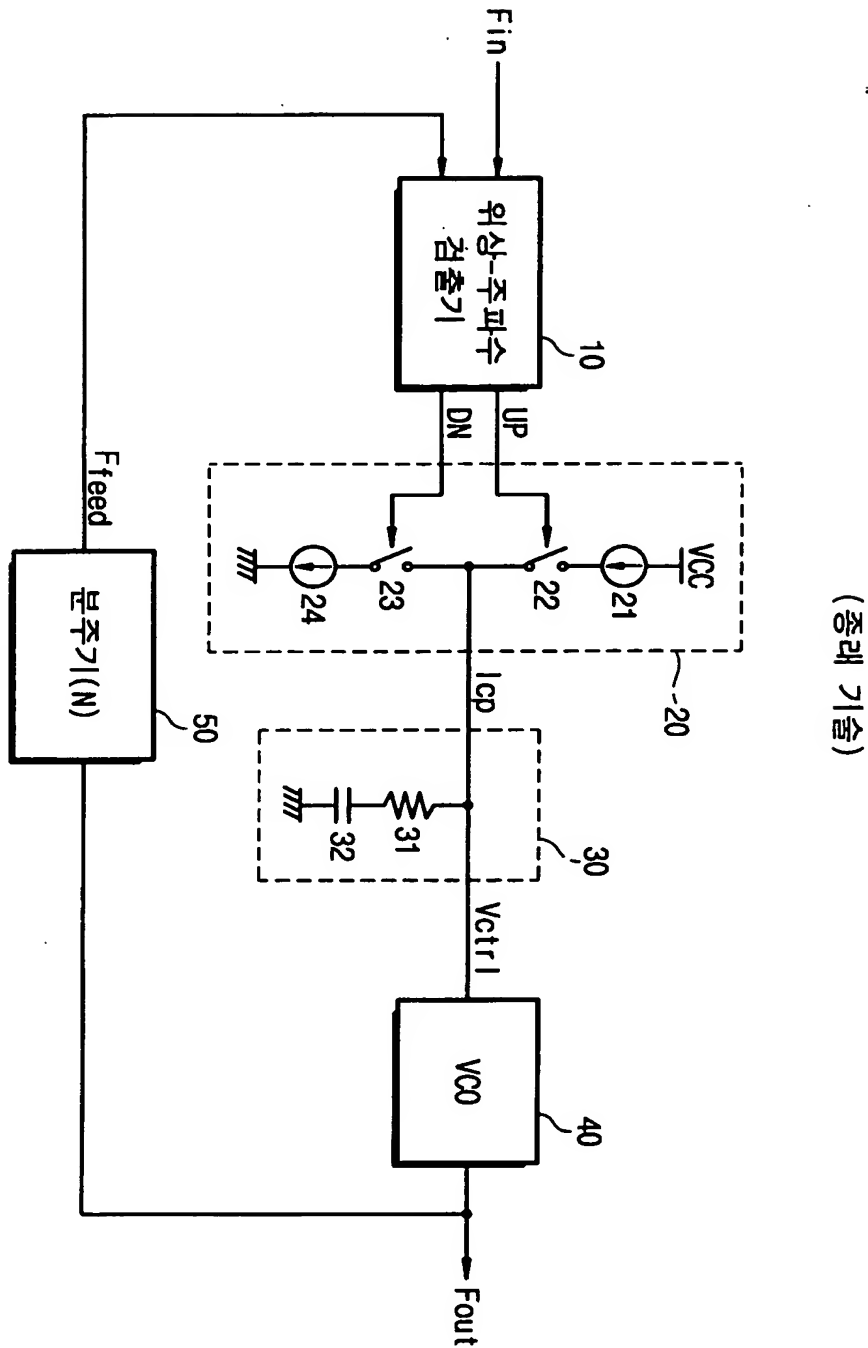
제 13 항에 있어서,

상기 제 2 카운터는,

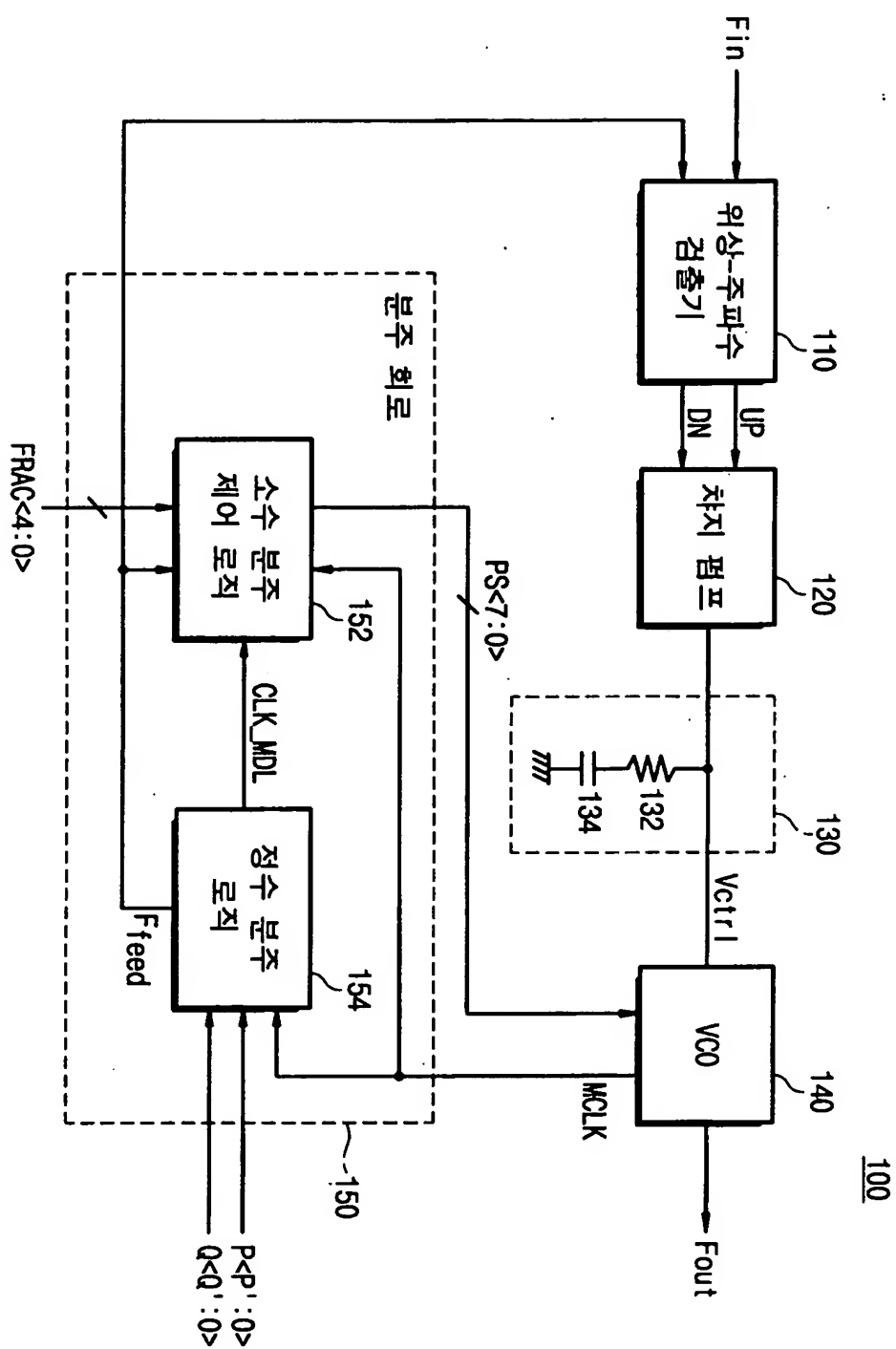
상기 내부 카운트 값이 상기 소수 분주율 데이터의 상위 (X-Y)비트보다 작으면 논리 '1'의 제 2 제어 신호를 출력하고, 상기 내부 카운트 값이 상기 소수 분주율 데이터의 상위 (X-Y)비트와 같거나 크면 논리 '0'의 제 2 제어 신호를 출력하는 것을 특징으로 하는 프랙셔널 N 주파수 합성기용 위상 고정 루프 회로.

【도면】

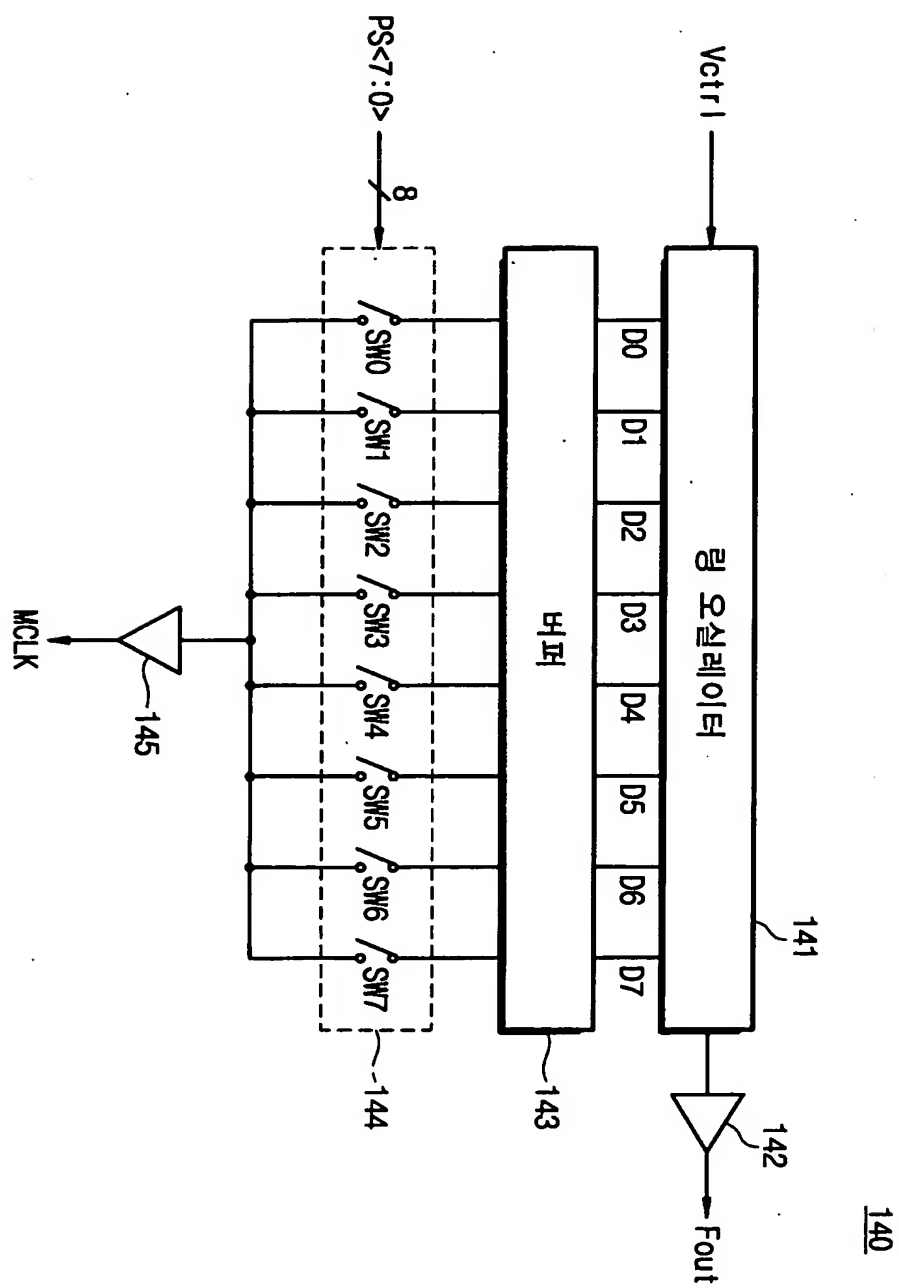
【도 1】



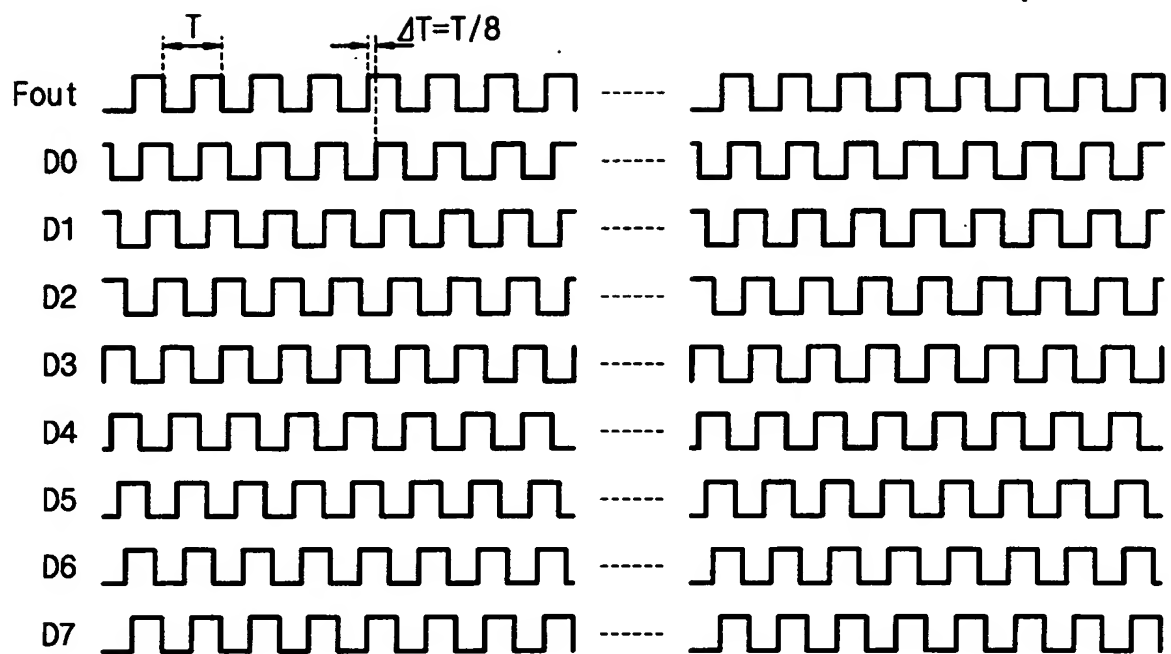
【도 2】



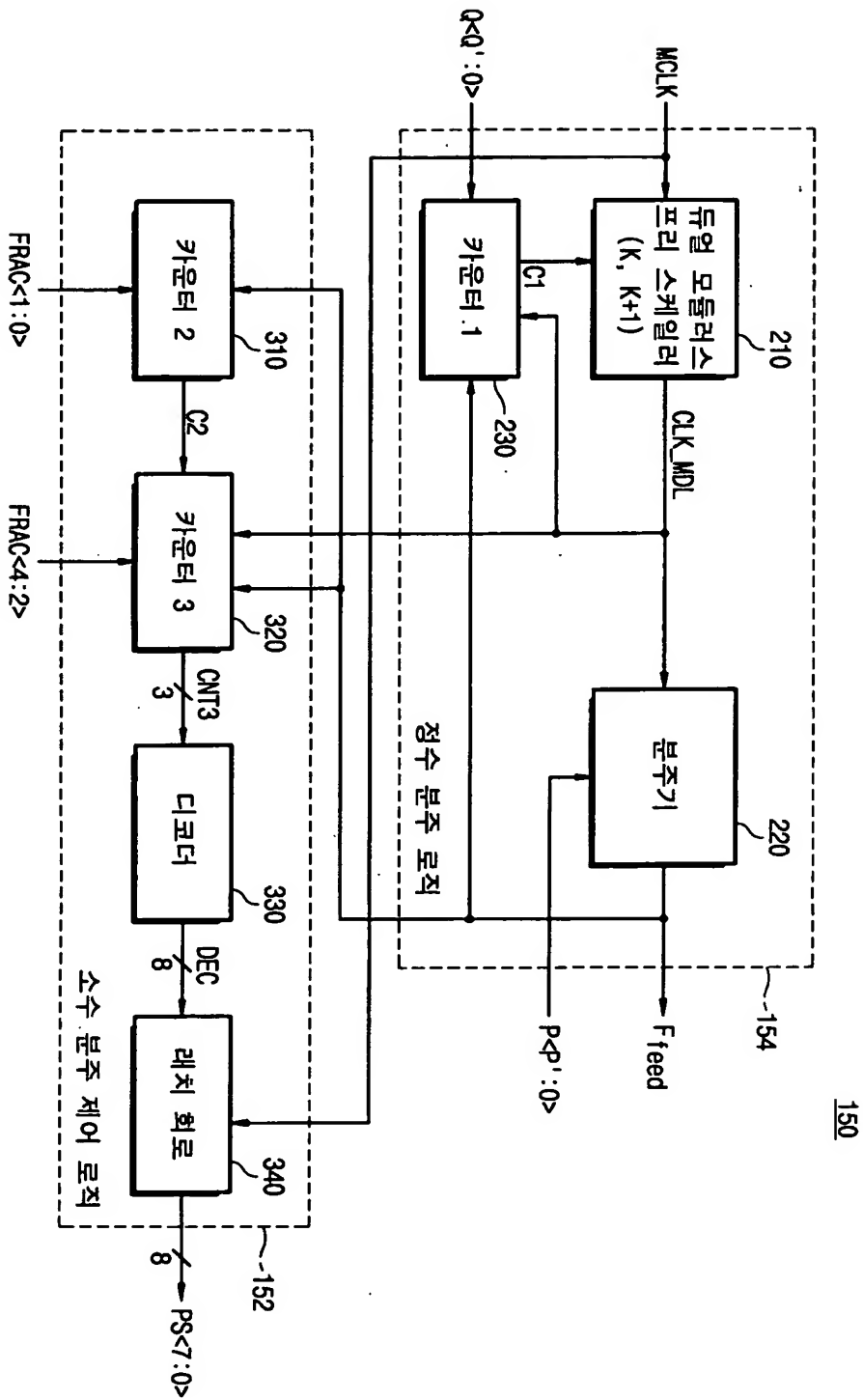
【도 3】



【도 4】

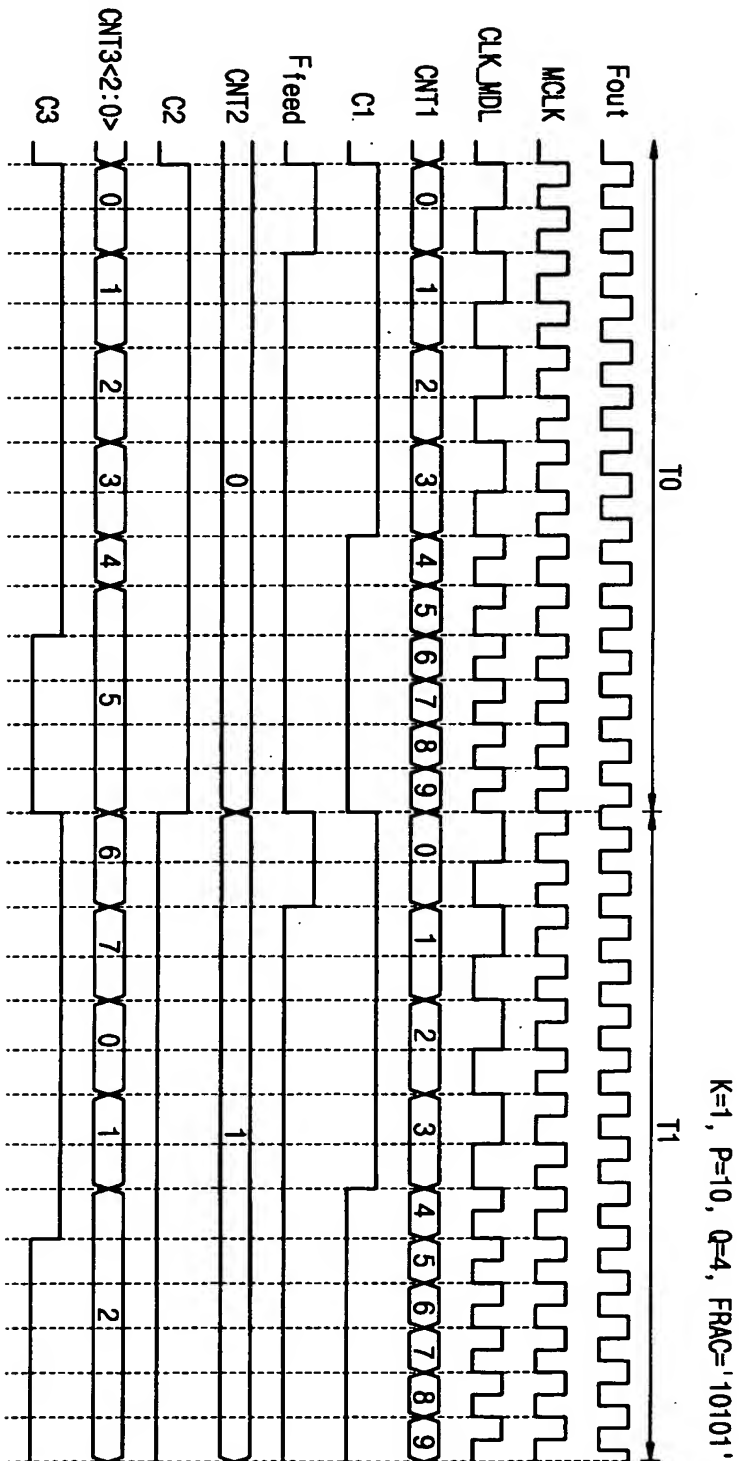


【부 5】



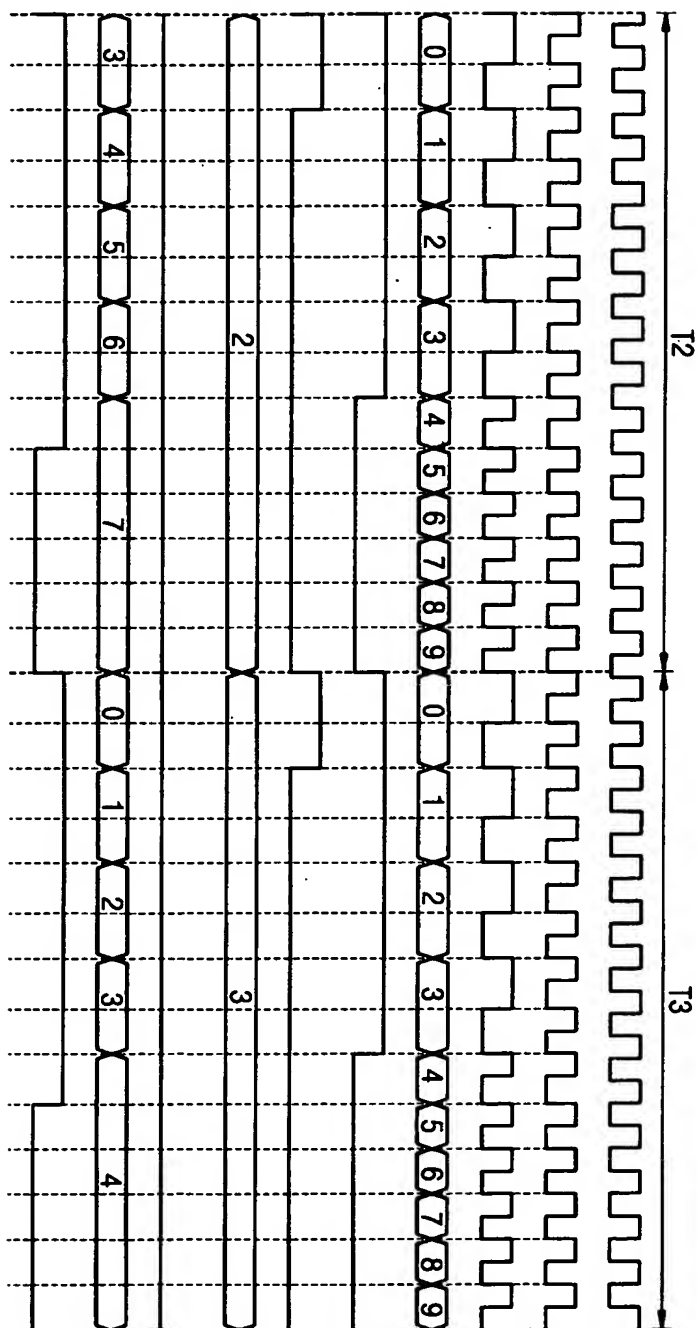
도 6

도 6A	도 6B
------	------

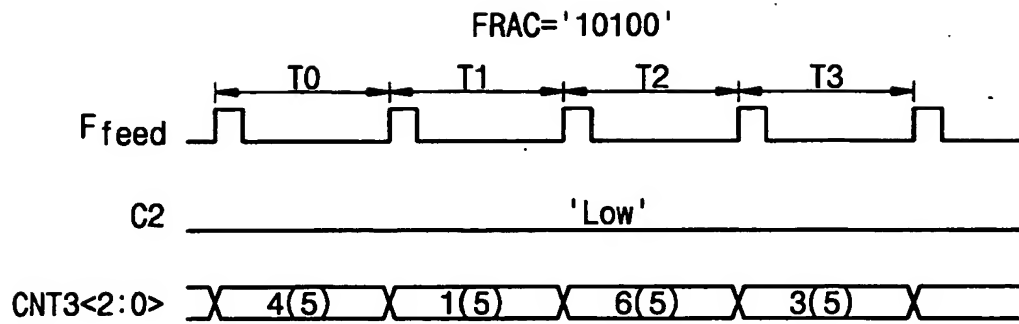


【도 6a】

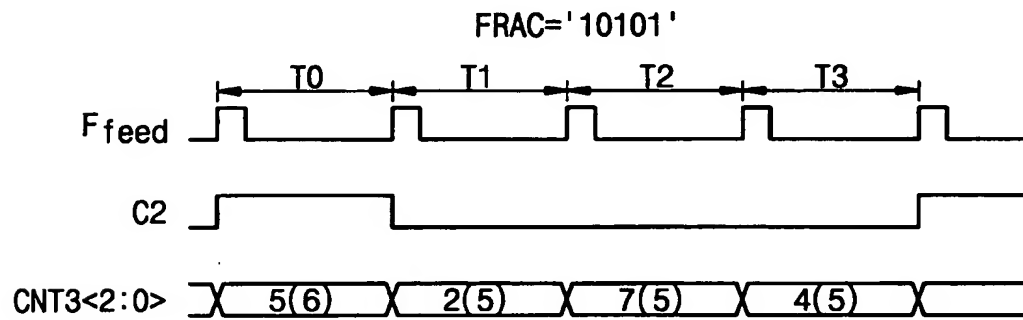
【도 6b】



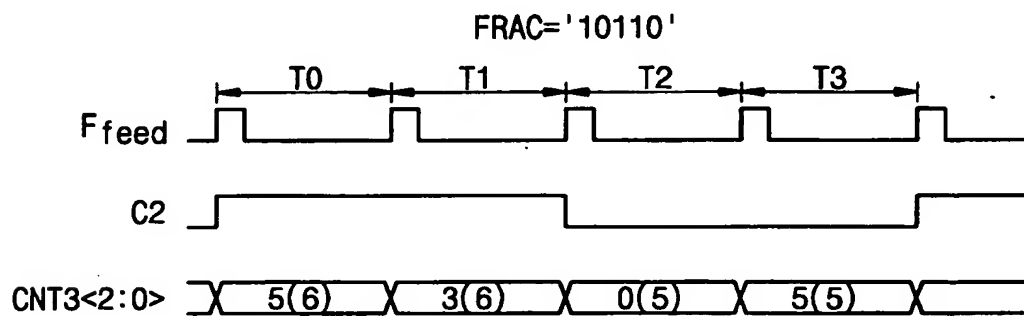
【도 7a】



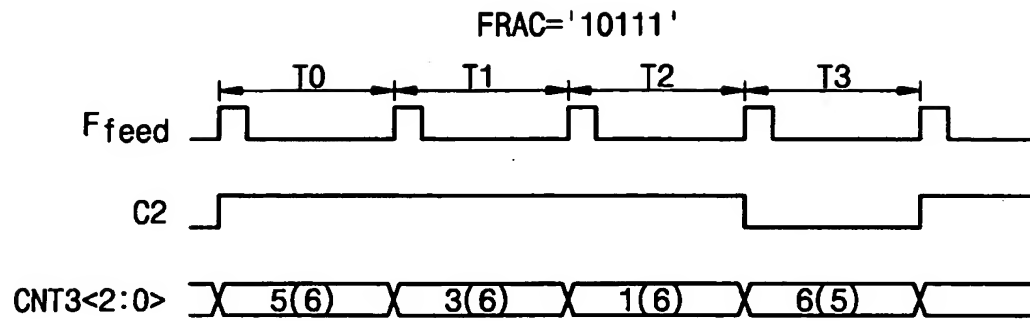
【도 7b】



【도 7c】



【도 7d】



【도 8】

FRAC<4:2>	FRAC<1:0>	소수 분주율(M)
000	00	0
000	01	$\frac{1}{32}$
000	10	$\frac{2}{32}$
000	11	$\frac{3}{32}$
001	00	$\frac{4}{32}$
001	01	$\frac{5}{32}$
001	10	$\frac{6}{32}$
001	11	$\frac{7}{32}$
010	00	$\frac{8}{32}$
⋮	⋮	⋮
111	00	$\frac{28}{32}$
111	01	$\frac{29}{32}$
111	10	$\frac{30}{32}$
111	11	$\frac{31}{32}$